

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231885

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

H01L 25/10

H01L 25/11

H01L 25/18

(21)Application number : 2001-029786

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.02.2001

(72)Inventor : ISHII HIDEKI

MICHII KAZUNARI

SHIBATA JUN

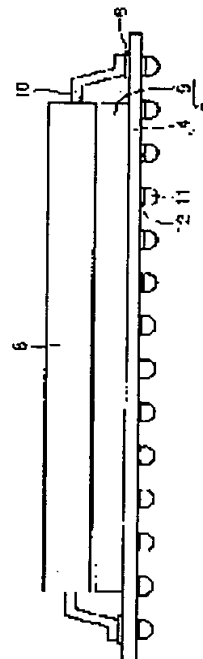
NAKAJIMA MORIYOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve miniaturization of a semiconductor device with a plurality of semiconductor packages.

SOLUTION: The semiconductor device of this invention comprises a first semiconductor package 7 and a second semiconductor package 8 mounted on the first semiconductor package 7. The first semiconductor package 7 includes a land for the second semiconductor package 6 on a front surface and a land 12 for an external connection for the connection with a surface mounting board on the backside surface. The second semiconductor package 8 includes an external lead 10 connected to the land for the second semiconductor package mounting.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-231885
(P2002-231885A)

(43)公開日 平成14年 8 月16日 (2002.8.16)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 25/10		H 0 1 L 25/14	Z
25/11			
25/18			

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21)出願番号 特願2001-29786(P2001-29786)

(22)出願日 平成13年 2 月 6 日 (2001.2.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 石井 秀基

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(72)発明者 道井 一成

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外 4 名)

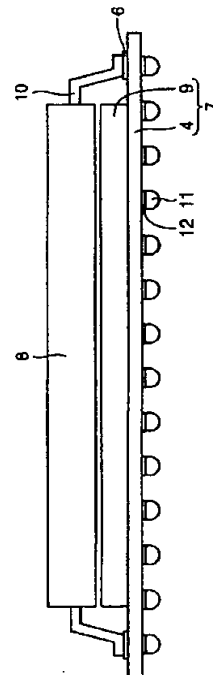
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 複数の半導体パッケージを有する半導体装置を小型化する。

【解決手段】 本発明の半導体装置は、第 1 半導体パッケージ 7 と、該第 1 半導体パッケージ 7 に実装された第 2 半導体パッケージ 8 とを備える。第 1 半導体パッケージ 7 は、表面に第 2 半導体パッケージ実装用ランド 6 と、裏面に実装基板との接続用の外部接続用ランド 1 2 とを有する。第 2 半導体パッケージ 8 は、第 2 半導体パッケージ実装用ランド 6 と接続される外部リード 1 0 を有する。



【特許請求の範囲】

【請求項 1】 表面に第 1 ランドと、裏面に実装基板との接続用の第 2 ランドとを有する第 1 半導体パッケージと、

前記第 1 半導体パッケージに実装され、前記第 1 ランドと接続される外部導体部を有する第 2 半導体パッケージとを備えた、半導体装置。

【請求項 2】 前記第 1 ランドは、前記第 1 半導体パッケージの周縁部上に配置される、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 半導体パッケージは、第 1 半導体チップと、該第 1 半導体チップを封止する樹脂部と、該樹脂部が搭載され該樹脂部よりも外方に張り出す基板部とを有し、

前記第 1 ランドは、前記基板部において前記樹脂部よりも外方に張り出す部分上に配置され、

前記第 2 半導体パッケージは、第 2 半導体チップを有する、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記基板部において、前記第 1 と第 2 半導体パッケージを電気的に接続する、請求項 3 に記載の半導体装置。

【請求項 5】 前記基板部上に、前記第 1 半導体チップとワイヤを介して電気的に接続される第 3 ランドを設け、

前記樹脂部は、前記基板部に達するとともに前記ワイヤおよび前記第 3 ランドを覆う、請求項 3 または請求項 4 に記載の半導体装置。

【請求項 6】 前記基板部は、凹部を有し、前記凹部内に前記樹脂部を配置する、請求項 3 から請求項 5 のいずれかに記載の半導体装置。

【請求項 7】 前記第 2 半導体パッケージは、前記第 2 半導体チップを実装するダイパッドと、前記第 2 半導体チップを封止する封止樹脂とを有し、

前記外部導体部は、前記封止樹脂の側面から延出する外部リードを含み、

前記外部リードは、前記第 1 半導体パッケージに向かう方向に屈曲する、請求項 3 から請求項 6 のいずれかに記載の半導体装置。

【請求項 8】 前記第 1 半導体チップは、ロジックデバイスを含み、

前記第 2 半導体チップは、メモリーデバイスを含む、請求項 3 から請求項 7 のいずれかに記載の半導体装置。

【請求項 9】 前記ダイパッド上に前記第 2 半導体チップを実装し、前記第 2 半導体チップ上に第 3 半導体チップを積層し、

前記ダイパッドが前記封止樹脂の表面に露出した、請求項 7 または請求項 8 に記載の半導体装置。

【請求項 10】 前記ダイパッド上に前記第 2 半導体チップを実装し、前記ダイパッド下に第 3 半導体チップを実装した、請求項 7 または請求項 8 に記載の半導体装

置。

【請求項 11】 前記第 1 半導体チップ上に第 4 半導体チップを積層した、請求項 3 から請求項 10 のいずれかに記載の半導体装置。

【請求項 12】 前記第 2 ランド上に、外部接続用の半田バンプを形成した、請求項 1 から請求項 11 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の半導体パッケージを有する半導体装置に関する。

【0002】

【従来の技術】 複数の半導体パッケージを有する半導体装置の一例が、たとえば特開平 10-116963 号に開示されている。この公報に記載された半導体装置を図 13 に示す。

【0003】 図 13 に示すように、半導体装置は、実装基板 15 上に重ねて実装された第 1 および第 2 半導体パッケージ 22、23 を有する。第 1 と第 2 半導体パッケージ 22、23 は、それぞれ半導体チップ（図示せず）および外部リード 24、25 を有しており、外部リード 24、25 を介して実装基板 15 上に設けられたランドとそれぞれ電気的に接続される。

【0004】 このように上記公報記載の発明では、第 1 および第 2 半導体パッケージ 22、23 はともに実装基板 15 に直接実装されており、上方に位置する第 2 半導体パッケージ 23 を下方に位置する第 1 半導体パッケージ 22 に実装することは上記公報には全く開示されていない。つまり、上記公報には、半導体パッケージに半導体パッケージを実装するという思想は全く開示されていない。

【0005】

【発明が解決しようとする課題】 上記のように第 1 と第 2 半導体パッケージ 22、23 がともに外部リード 24、25 を介して実装基板 15 上に直接実装されているため、次のような問題があった。

【0006】 図 13 に示すように、下段に位置する第 1 半導体パッケージ 22 の外部リード 24 は外方に延出しているので、この外部リード 24 のために幅 d を確保する必要が生じる。つまり、外部リード 24 のために第 1 半導体パッケージ 22 のサイズが幅方向に大きくなる。

【0007】 また、外部リード 24 で第 1 半導体パッケージ 22 の樹脂部を実装基板 15 から浮き上がらせているので、図 13 に示す厚み t が必要となり、結果的に第 1 半導体パッケージ 22 のサイズが高さ方向に大きくなる。

【0008】 他方、第 2 半導体パッケージ 23 の外部リード 25 も実装基板 15 と接続されるので、この外部リード 25 を、第 1 半導体パッケージ 22 の外部リード 24 よりも外側に配置する必要が生じる。そのため、第 2

半導体パッケージ 23 の幅が第 1 半導体パッケージ 22 の幅よりも大きくなる。

【0009】上記のように第 1 半導体パッケージ 22 のサイズが大きくなり、また第 2 半導体パッケージ 23 のサイズはさらに第 1 半導体パッケージ 22 よりも大きくなるので、結果として半導体装置の幅方向（水平方向）と高さ方向（垂直方向）の両方向に、半導体装置のサイズが大きくなるという問題があった。

【0010】本発明は上記の課題を解決するためになされたものである。本発明の目的は、複数の半導体パッケージを有する半導体装置を小型化することにある。

【0011】

【課題を解決するための手段】本発明に係る半導体装置は、表面に第 1 ランドと裏面に実装基板との接続用の第 2 ランドとを有する第 1 半導体パッケージと、第 1 半導体パッケージに実装され第 1 ランドと接続される外部導

体部を有する第 2 半導体パッケージとを備える。
【0012】上記のように第 1 半導体パッケージの裏面に第 2 ランドを設けることにより、第 1 半導体パッケージに外部リードを設けることなく実装基板に第 1 半導体パッケージを実装することができる。それにより、第 1 半導体パッケージのサイズを幅方向（水平方向）と高さ方向（垂直方向）の両方向に縮小することができる。また第 1 半導体パッケージに第 2 半導体パッケージを実装している

ので、第 1 半導体パッケージの幅よりも第 2 半導体パッケージの幅を大きくする必要がなくなり、また第 2 半導体パッケージの高さも低くすることができる。それにより、第 2 半導体パッケージのサイズをも幅方向と高さ方向の両方向に縮小することができる。

【0013】上記第 1 ランドは、好ましくは、第 1 半導体パッケージの周縁部に配置される。それにより、第 1 半導体パッケージへの第 2 半導体パッケージの実装を容易に行なえる。

【0014】第 1 半導体パッケージは、第 1 半導体チップと、該第 1 半導体チップを封止する樹脂部（封止部）と、該樹脂部が搭載され該樹脂部よりも外方に張り出す基板部とを有し、第 1 ランドは、基板部において樹脂部よりも外方に張り出す部分上に配置される。他方、第 2 半導体パッケージは、第 2 半導体チップを有する。

【0015】第 1 半導体パッケージに上記のような基板部を設けることにより、該基板部において樹脂部よりも外方に張り出す周縁部上に、第 1 ランドを配置することができる。このように基板部上に第 1 ランドを配置することにより、第 1 ランドの形成を容易に行なえる。また、上記の基板部を設けることにより、基板部の裏面全面にアレイ状に第 2 ランド（外部接続用端子）を配置することができ、半導体装置の小型化および多ピン化が可能となる。

【0016】上記基板部において、第 1 と第 2 半導体パッケージを電気的に接続することが好ましい。それによ

り、第 1 と第 2 半導体パッケージの第 2 ランド（外部接続用端子）を共通化することができ、半導体装置の外部接続用端子数を低減することができる。

【0017】上記基板部上に、第 1 半導体チップとワイヤを介して電気的に接続される第 3 ランドを設け、樹脂部は、好ましくは、基板部に達するとともにワイヤおよび第 3 ランドを覆う。

【0018】このように基板部上に直接樹脂部を形成することにより、第 1 半導体パッケージの高さを低減することができる。また、上記のような構造を採用することにより、樹脂部の外部に延出する導体部を基板部上に設ける必要がなくなる。

【0019】上記基板部は、凹部を有してもよい。この場合、凹部内に樹脂部を配置することが好ましい。それにより、基板部上に樹脂部が突出するのを回避でき、第 1 半導体パッケージへの第 2 半導体パッケージの実装をさらに容易に行なうことができる。

【0020】第 2 半導体パッケージは、第 2 半導体チップを実装するダイパッドと、第 2 半導体チップを封止する封止樹脂（封止部）とを有し、外部導体部は、封止樹脂の側面から延出する外部リードを含み、外部リードは、好ましくは、第 1 半導体パッケージに向かう方向に屈曲する。

【0021】このように外部リードを第 1 半導体パッケージに向かう方向に屈曲することにより、上記基板部上において第 1 半導体パッケージの樹脂部が突出する場合においても、第 1 半導体パッケージに第 2 半導体パッケージを容易に実装することができる。

【0022】上記第 1 半導体チップは、ロジックデバイスを含み、第 2 半導体チップは、メモリーデバイスを含む。

【0023】それにより、たとえばロジックデバイスを含むロジック IC (Integrated Circuit) と、メモリーデバイスを含むメモリー IC とを、1 チップ化する必要がなくなり、開発期間を短縮できるとともにチップサイズの制約を回避できる。

【0024】上記のダイパッド上に第 2 半導体チップを実装し、第 2 半導体チップ上に第 3 半導体チップを積層してもよい。この場合、ダイパッドを封止樹脂の表面に露出させることが好ましい。

【0025】また、上記のダイパッド上に第 2 半導体チップを実装し、ダイパッド下に第 3 半導体チップを実装してもよい。さらに、第 1 半導体チップ上に第 4 半導体チップを積層してもよい。

【0026】このように第 1 と第 2 半導体パッケージの少なくとも一方が複数の半導体チップを有することにより、半導体装置の高機能化が図れる。また、ダイパッドを封止樹脂の表面に露出させた場合には、第 2 半導体パッケージの厚みを薄くすることができる。さらに、ダイパッドの表裏に半導体チップをそれぞれ配置した場合に

は、チップサイズの制約をも回避できる。

【0027】上記第2ランド上に、外部接続用の半田バンプを形成してもよい。それにより、半田ボール等の半田バンプを介して実装基板に第1半導体パッケージを実装することができる。

【0028】

【発明の実施の形態】以下、図1～図12を用いて、本発明の実施の形態について説明する。

【0029】（実施の形態1）図1は本発明の実施の形態1における半導体装置の平面図であり、図2は本実施の形態1における半導体装置の側面図であり、図3は樹脂部を除く第1半導体パッケージの平面図であり、図4は本実施の形態1における半導体装置の底面図であり、図5は本実施の形態1における半導体装置の断面図である。図6は本実施の形態1における半導体装置を実装基板に実装した状態を示す側面図である。

【0030】図1および図2に示すように、本実施の形態1における半導体装置は、第1半導体パッケージ7と、この第1半導体パッケージ7に実装される第2半導体パッケージ8とを備える。半導体装置全体の厚みはたとえば1.0mm～1.2mm程度であり、第1および第2半導体パッケージ7、8の厚みはたとえば500μm～600μm程度である。

【0031】下方に位置する第1半導体パッケージ7は、図1～図4に示すように、半導体チップ1aと、基板部4と、ワイヤ接続用ランド（第3ランド）5と、第2半導体パッケージ実装用ランド（第1ランド）6と、樹脂部（封止部）9と、半田ボール（半田バンプ）11と、外部接続用ランド（第2ランド）12とを有する。

【0032】基板部4は、図1および図2に示すように樹脂部9よりも外方に張り出しており、たとえばガラスエポキシ等により構成され、100μm～200μm程度の厚みを有する。基板部4の厚みは、たとえば半導体装置全体の厚みの10%～20%程度であり、第1半導体パッケージ7の厚みの15%～30%程度である。それにより、基板部4に必要とされる強度を確保することができる。

【0033】基板部4の表面には、図3に示すようにワイヤ接続用ランド5と第2半導体パッケージ接続用ランド6とを形成し、基板部4の裏面には、図2に示すように外部接続用ランド12を形成する。

【0034】ワイヤ接続用ランド5は、図3に示すように、第1半導体チップ1aの周囲に第1半導体チップ1aを取囲むように配置され、たとえばCu等の金属層（導電層）により構成される。

【0035】第1半導体チップ1aの周縁部上にボンディングパッド3を形成し、このボンディングパッド3を、金等よりなるワイヤ2を介してワイヤ接続用ランド5と接続する。

【0036】樹脂部9は、エポキシ樹脂等の熱硬化性樹

脂で構成され、第1半導体チップ1aを封止し、第1半導体チップ1a、ワイヤ2およびワイヤ接続用ランド5を覆い、基板部4に達する。

【0037】このように基板部4上に直接樹脂部9を形成しているため、図2に示すように樹脂部9の側面から基板部4に向けて導電部を形成する必要がなくなり、第1半導体パッケージ7を幅方向にコンパクト化することができる。また、外部リードを有する従来例の場合よりも第1半導体パッケージ7の高さを低減することもできる。

【0038】したがって、第1半導体パッケージ7を幅方向と高さ方向の双方に縮小することができる。この第1半導体パッケージ7に第2半導体パッケージ8を実装するので、第1半導体パッケージ7の幅よりも第2半導体パッケージ8の幅を大きくする必要がなくなり、結果として第2半導体パッケージ8のサイズをも縮小することができる。その結果、半導体装置のサイズを小型化することができる（本発明の効果1）。

【0039】第2半導体パッケージ実装用ランド6は、図1～図3に示すように第1半導体パッケージ7の周縁部上に配置され、たとえばCu等の金属層により構成される。より詳しくは、第2半導体パッケージ実装用ランド6は、樹脂部9よりも外方に張り出す基板部4の周縁部上に配置される。

【0040】それにより、第2半導体パッケージ実装用ランド6の形成を容易に行なえるのみならず、第1半導体パッケージ7への第2半導体パッケージ8の実装をも容易に行なえる（本発明の効果2）。

【0041】外部接続用ランド12は、基板部4の裏面に形成され、たとえばCu等の金属層により構成される。この外部接続用ランド12は、基板部4の裏面全面にアレイ状に形成されることが好ましい。かかる外部接続用ランド12を設けることにより、半導体装置の小型化および多ピン化が可能となる（本発明の効果3）。

【0042】図2に示すように、外部接続用ランド12上に半田ボール11を形成する。したがって、図4に示すように、半田ボール11も基板部4の裏面全面に網羅的に形成される。

【0043】なお、半田ボール11は省略可能である。半田ボール11を省略することにより、半導体装置をさらに薄形化することができる。

【0044】次に、図5、図7および図8を用いて、本実施の形態における半導体装置の断面構造について説明する。

【0045】図5に示すように、第1半導体パッケージ7の基板部4上に、接合材14を介して第1半導体チップ1aを搭載し、第1半導体チップ1aを樹脂部9で封止する。

【0046】第2半導体パッケージ8は、第2半導体チップ1bと、第2半導体チップ1bを実装するダイパッ

ド 13 と、第 2 半導体チップ 1b を封止する封止樹脂と、封止樹脂の側面から延出する外部リード 10 とを有する。

【0047】第 2 半導体チップ 1b は接合材 14 を介してダイパッド 13 上に実装され、外部リード 10 は第 1 半導体パッケージ 7 に向かう方向に屈曲する。

【0048】このように外部リード 10 を第 1 半導体パッケージ 7 に向かう方向に屈曲させることにより、図 5 に示すように基板部 4 上において第 1 半導体パッケージ 7 の樹脂部 9 が突出する場合においても、第 1 半導体パッケージ 7 に第 2 半導体パッケージ 8 を容易に実装することができる（本発明の効果 4）。なお、外部リード 10 以外の外部導体部を第 2 半導体パッケージ 8 に設けてもよい。

【0049】図 5 に示す第 1 半導体チップ 1a は、ロジックデバイスを含むロジック IC であり、第 2 半導体チップ 1b は、メモリーデバイスを含むメモリー IC である。

【0050】このように 1 つの半導体装置に複数の半導体チップを搭載することにより、半導体装置の高機能化を図ることができる（本発明の効果 5）。また、ロジック IC とメモリー IC とを別の半導体パッケージに搭載することにより、これらを 1 チップ化する必要がなくなり、開発期間を短縮できる（本発明の効果 6）。さらに、図 5 に示すように半導体チップを積層しないことにより、チップサイズの制約を回避できる（本発明の効果 7）。

【0051】図 7 に、第 2 半導体パッケージ 8 の外部リード 10 と、第 2 半導体パッケージ実装用ランド 6 との接続部の構造例を示す。図 7 に示すように、外部リード 10 と第 2 半導体パッケージ実装用ランド 6 とは、たとえば半田層（導電層）17 を介して接続される。この半田層 17 は、めっき、ディスペンサによる塗布等で形成できる。

【0052】第 2 半導体パッケージ 8 を第 1 半導体パッケージ 7 に実装するには、たとえば第 2 半導体パッケージ実装用ランド 6 に予め上記の手法で半田層 17 を形成しておき、第 2 半導体パッケージ実装用ランド 6 上に第 2 半導体パッケージ 8 を載置し、この状態で半田層 17 を溶融させればよい。

【0053】図 8 に、基板部 4 の拡大断面図を示す。図 8 に示すように、基板部 4 にスルーホール 18 を設け、このスルーホール 18 内に導電層（スルーホール配線）19 を形成する。そして、導電層 19 により第 2 半導体パッケージ実装用ランド 6 と外部接続用ランド 12 とを接続する。また、基板部 4 の表面上に第 2 半導体パッケージ実装用ランド 6 とワイヤ接続用ランド 5 とを接続するための配線 20 を形成する。

【0054】それにより、基板部 4 において、第 1 と第 2 半導体パッケージ 7、8 を電氣的に接続することがで

き、第 1 と第 2 半導体パッケージ 7、8 の外部接続用ランド 12 を共通化することができる。その結果、半導体装置の外部接続用端子数を低減することができる（本発明の効果 8）。

【0055】図 6 に、上記の構造を有する本発明の半導体装置を実装基板 15 上に実装した状態を示す。

【0056】図 6 に示すように、半田ボール 11 等の導電材を介して実装基板 15 上の実装用ランド 16 と外部接続用ランド 12 とを接続する。それにより、第 1 半導体パッケージ 7 に外部リードを設けることなく実装基板 15 に第 1 半導体パッケージ 7 を実装することができる。

【0057】次に本実施の形態 1 における半導体装置の製造方法の一例を説明する。本実施の形態 1 における半導体装置の製造するには、まず第 1 および第 2 半導体パッケージ 7、8 をそれぞれ別工程で組み立てる。

【0058】半導体パッケージ 7 を組み立てるには、基板部 4 の表面と裏面の所定位置にワイヤ接続用ランド 5、第 2 半導体パッケージ実装用ランド 6 および外部接続用ランド 12 を形成し、さらに基板部 4 の表面および内部に所定の配線を形成する。

【0059】その後、基板部 4 の表面上に接合層 14 を介して第 1 半導体チップ 1a を取付け、ワイヤボンディング法により第 1 半導体チップ 1a のボンディングパッド 3 とワイヤ接続用ランド 5 とをワイヤ 2 で接続する。

【0060】次に、トランスファモールド法等の封止技術を用いて、第 1 半導体チップ 1a およびその周辺を樹脂封止する。それにより、樹脂部 9 を形成する。そして第 1 半導体パッケージ 7 の組立後に、電気テストを行なう。

【0061】他方、第 2 半導体パッケージ 8 については、ダイパッド 13 上に接合層 14 を介して第 2 半導体チップ 1b を取付け、ワイヤボンディング法により第 2 半導体チップ 1b のボンディングパッドと内部リードとをワイヤ 2 で接続する。

【0062】その後、トランスファモールド法等の封止技術を用いて第 2 半導体チップ 1b を樹脂封止し、外部リード 10 にベンド加工を施す。そして第 2 半導体パッケージ 8 の組立後に、電気テストを行なう。

【0063】上記のように第 1 と第 2 半導体パッケージ 7、8 の各々について別途電気テストを行なった後、第 1 半導体パッケージ 7 に第 2 半導体パッケージ 8 を実装する。それにより、歩留りを向上することができ、加工費を低減することができる（本発明の効果 9）。

【0064】（実施の形態 2）次に、本発明の実施の形態 2 について図 9 を用いて説明する。図 9 は、本実施の形態 2 の半導体装置を示す断面図である。

【0065】本実施の形態 2 では、図 9 に示すように、SRAM (Static Random Access Memory) や EEPROM (Electrically Erasable and Programmable Read Only

y Memory)等のメモリデバイスを搭載したメモリICである第2半導体チップ1b上に接合材14を介してメモリICである第3半導体チップ1cを積層し、半田ボールを省略している。また、第2および第3半導体チップ1b、1cを、それぞれワイヤ2を介して内部リードに接続し、ダイパッド13を第2半導体パッケージ8の表面に露出させている。

【0066】それ以外の構成については、実施の形態1と基本的に同様であるので、重複説明は省略する。

【0067】本実施の形態2における半導体装置は、上記のように実施の形態1における半導体装置と基本的に同様な構成を有しているもので、本発明の効果1~4、6、8および9が得られる。

【0068】それに加え、本実施の形態2の半導体装置は、3つの半導体チップを搭載しているもので、半導体装置のさらなる高機能化を図ることができる(本発明の効果10)。

【0069】また、ロジックICである第1半導体チップ1aを第1半導体パッケージ7に収納し、メモリICである第2および第3半導体チップ1b、1cを第2半導体パッケージ8に収納しているもので、第1半導体チップ1aを、第2および第3半導体チップ1b、1cのチップサイズに合わせて作り変える必要がない(本発明の効果11)。

【0070】さらに、ダイパッド13を第2半導体パッケージ8の表面に露出させているので、第2半導体パッケージ8の厚みを薄くすることができ、また外部接続用ランド12上に半田ボールを設けていないので、第1半導体パッケージ7の厚みをも薄くすることができる。それにより、半導体装置全体の厚みを薄くすることができる(本発明の効果12)。

【0071】なお、本実施の形態2、後述する実施の形態3および実施の形態4の製造方法については、実施の形態1の製造方法を若干変更するだけで良いので、これらの製造方法の記載は省略する。

【0072】(実施の形態3)次に、本発明の実施の形態3について図10を用いて説明する。図10は、本実施の形態3の半導体装置を示す断面図である。

【0073】本実施の形態3では、図10に示すように、ダイパッド13の表裏に上記の第2および第3半導体チップ(メモリIC)1b、1cを取付け、ワイヤ2を介してこれらを内部リードと接続している。

【0074】また外部接続用ランド12上に半田ボールを設けていない。それにより、半導体装置の厚みを薄くすることができる。それ以外の構成については、実施の形態1と基本的に同様であるので、重複説明は省略する。

【0075】本実施の形態3における半導体装置も、実施の形態1における半導体装置と基本的に同様な構成を有しているもので、本発明の効果1~4、6、8~9が得

られる。また、実施の形態2の場合と同様に、本発明の効果10も得られる。

【0076】それに加え、第2半導体パッケージ8ではダイパッド13の上下に半導体チップを実装しているので、チップサイズの制約がない。このため、3チップをチップサイズの制約なしに組み立てることができる(本発明の効果13)。

【0077】(実施の形態4)次に、本発明の実施の形態4について図11を用いて説明する。図11は、本実施の形態4の半導体装置を示す断面図である。

【0078】本実施の形態4では、図11に示すように、基板部4の表面上に第1半導体チップ(ロジックIC)1aと第4半導体チップ(周辺IC)1dを接合材14を介して積層し、ダイパッド13上に第2と第3半導体チップ(メモリIC)1b、1cを接合材14を介して積層している。

【0079】そして、ワイヤ2を介して、第1および第4半導体チップ1a、1dを基板部4上に設けたワイヤ接続用ランドと接続し、第2と第3半導体チップ1b、1cを内部リードと接続している。また外部接続用ランド12上に半田ボールを設けていない。

【0080】なお、上記の周辺ICとは、並直列変換回路やリフレッシュ回路その他の周辺回路を有するICチップのことであり、かかるチップを半導体パッケージに組込むことにより、システムの機能を取り込むことができ、メモリ応用システムの高度化が可能となる(本発明の効果14)。

【0081】それ以外の構成については、実施の形態1と基本的に同様であるので、重複説明は省略する。

【0082】本実施の形態4における半導体装置も、実施の形態1における半導体装置と基本的に同様な構成を有しているもので、本発明の効果1~4、6、8~9が得られる。

【0083】それに加え、本実施の形態4の半導体装置は、4つの半導体チップを搭載しているもので、半導体装置のさらなる高機能化を図ることができる(本発明の効果15)。

【0084】また、各半導体パッケージに各々2つの半導体チップを搭載するようにしているので、チップサイズの制約を小さくすることができる(本発明の効果16)。

【0085】(実施の形態5)次に、本発明の実施の形態5について図12を用いて説明する。図12は、本実施の形態5の半導体装置を示す断面図である。

【0086】本実施の形態5では、図12に示すように、基板部4の中央に凹部21を設け、凹部21の周囲に位置する基板部4の周縁部の厚みを凹部21直下の基板部4の厚みよりも厚くしている。凹部21は、たとえば基板部4に座ぐり加工を施すことで形成できる。

【0087】そして、上記凹部21に、第1半導体チッ

ブ 1 a を取付け、第 1 半導体チップ 1 a を樹脂封止し、樹脂部 9 を凹部 2 1 内に形成している。凹部 2 1 の底面にワイヤ接続用ランド 5 を形成し、ワイヤ 2 により第 1 半導体チップ 1 a をワイヤ接続用ランド 5 と接続する。

【0088】樹脂部 9 は、ワイヤ 2 およびワイヤ接続用ランド 5 を覆い、凹部 2 1 の底面に達する。また樹脂部 9 の表面の高さは、好ましくは、図 1 2 に示すように基板部 4 の周縁部の高さとほぼ等しくする。それにより、基板部 4 上に樹脂部 9 が突出するのを阻止でき、第 2 半導体パッケージ 8 の実装をさらに容易に行なえる（本発明の効果 1 7）。

【0089】厚みの大きい基板部 4 の周縁部上に、第 2 半導体パッケージ実装用ランド 6 を配置する。それにより、第 2 半導体パッケージ実装用ランド 6 下の基板部 4 の強度を高くすることができ、第 2 半導体パッケージ 8 の実装後の信頼性を向上することができる。

【0090】また外部接続用ランド 1 2 上に半田ボールを設けていない。それ以外の構成については実施の形態 1 の場合と基本的に同様であるので、重複説明は省略する。

【0091】本実施の形態 5 における半導体装置も、実施の形態 1 における半導体装置と基本的に同様な構成を有しているため、本発明の効果 1 ～ 9 が得られる。

【0092】それに加え、本実施の形態 5 の半導体装置では、基板部 4 の表面がほぼフラットになっているので、第 2 半導体パッケージ実装用ランド 6 上に半田を塗布する際にスクリーン印刷法を使用でき、半田の塗布を容易に行なえる（本発明の効果 1 8）。

【0093】本実施の形態 5 における半導体装置の製造方法は、基板部 4 に座ぐり加工等を施して凹部 2 1 を形成する工程を除けば基本的に実施の形態 1 の場合と同様である。

【0094】以上のように本発明の実施の形態について説明を行なったが、上記の各実施の形態に記載の内容を相互に組合せてもよい。

【0095】また、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0096】

【発明の効果】本発明によれば、第 1 と第 2 半導体パッケージをともに幅方向と高さ方向の両方向に縮小することができるので、これらを含む半導体装置も幅方向および高さ方向に縮小することができる。したがって、複数の半導体パッケージを備える半導体装置を小型化することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 における半導体装置の平面図である。

【図 2】 図 1 に示す半導体装置の側面図である。

【図 3】 図 1 に示す第 1 半導体パッケージにおける樹脂部（封止部）を除く部分の平面図である。

【図 4】 図 1 に示す半導体装置の底面図である。

【図 5】 図 1 に示す半導体装置の断面図である。

【図 6】 図 1 に示す半導体装置を実装基板に実装した状態を示す側面図である。

【図 7】 第 2 半導体パッケージの外部リードと第 1 半導体パッケージのランドとの接続部の拡大図である。

【図 8】 第 1 半導体パッケージにおける基板部の内部構造例を示す断面図である。

【図 9】 本発明の実施の形態 2 における半導体装置の断面図である。

【図 10】 本発明の実施の形態 3 における半導体装置の断面図である。

【図 11】 本発明の実施の形態 4 における半導体装置の断面図である。

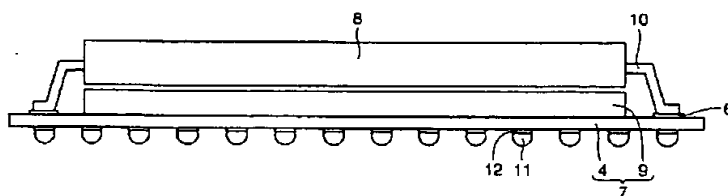
【図 12】 本発明の実施の形態 5 における半導体装置の断面図である。

【図 13】 従来の半導体装置の一例を示す側面図である。

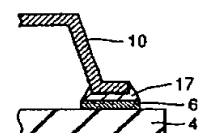
【符号の説明】

1 a ～ 1 d 第 1 ～ 第 4 半導体チップ、2 ワイヤ、3 ボンディングパッド、4 基板部、5 ワイヤ接続用ランド、6 第 2 半導体パッケージ実装用ランド、7 第 1 半導体パッケージ、8 第 2 半導体パッケージ、9 樹脂部（封止部）、10 外部リード、11 半田ボール、12 外部接続用ランド、13 ダイパッド、14 接合材、15 実装基板、16 実装用ランド、17 半田層、18 スルーホール、19 導電層（スルーホール配線）、20 配線、21 凹部。

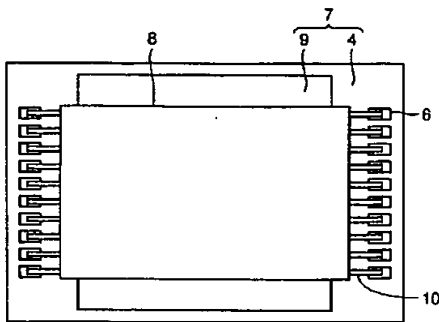
【図 2】



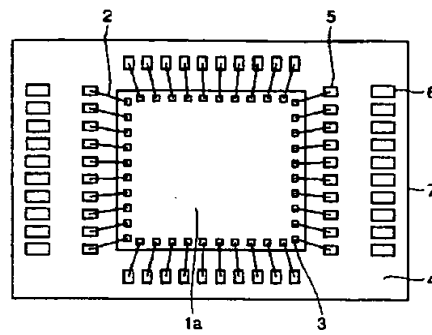
【図 7】



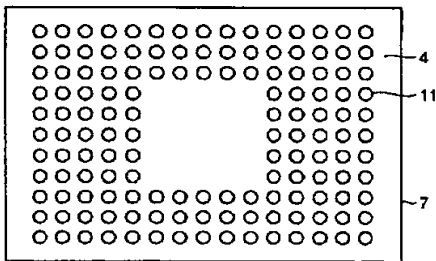
【図1】



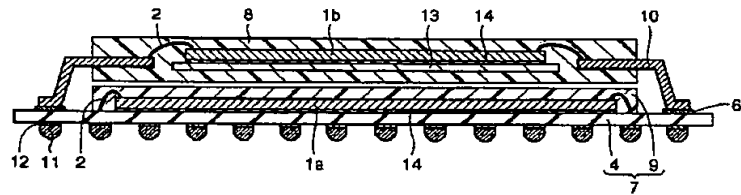
【図3】



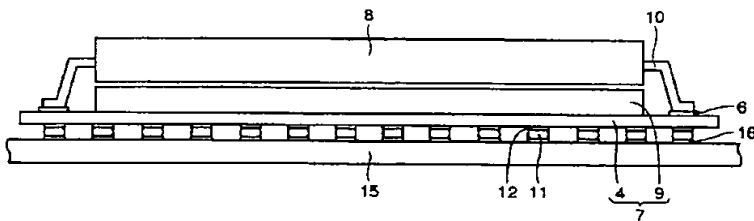
【図4】



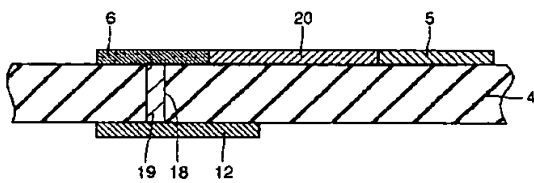
【図5】



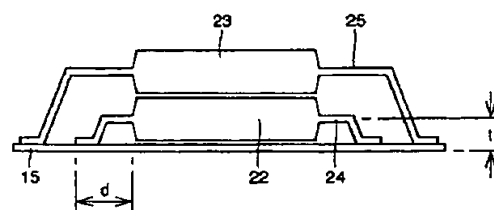
【図6】



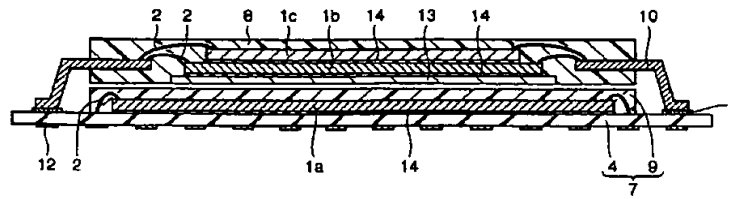
【図8】



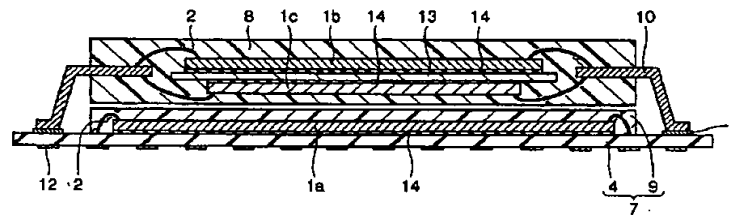
【図13】



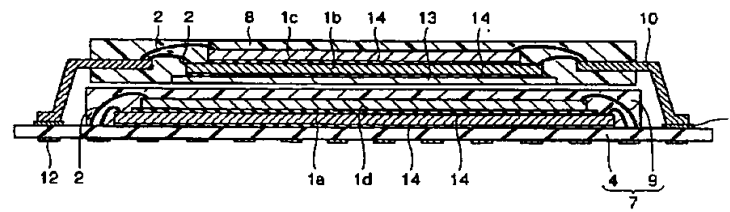
【図 9】



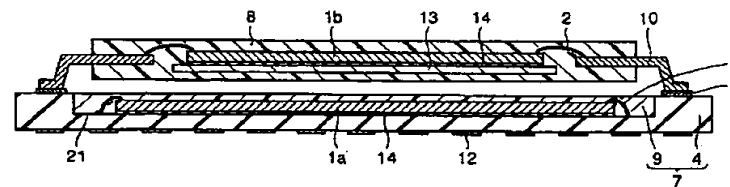
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 柴田 潤
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

(72)発明者 中島 盛義
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内